

대한민국특허청  
KOREAN INTELLECTUAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0040462  
Application Number

출원년월일 : 2002년 07월 11일  
Date of Application JUL 11, 2002

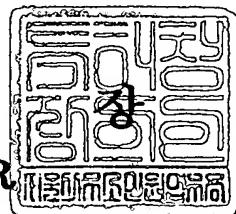
출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003 년 04 월 16 일

특 허 청

COMMISSIONER



【서지사항】

**【요약서】****【요약】**

본 발명은 반도체 소자의 구리 배선 형성 방법에 관한 것으로, 다마신 패턴을 포함한 층간 절연막의 표면을 따라 구리 배리어 메탈층 및 구리 시드층을 순차적으로 형성하고, 구리 도금 용액이 채워진 전기 도금 장치에 웨이퍼를 장입하고, 웨이퍼에 음(-) 전원을 인가한 상태에서 다마신 패턴이 충분히 채워질 때까지 구리를 도금하여 구리층을 형성하고, 음(-) 전원을 양(+) 전원으로 변경하여 도금 용액에서 전기 연마에 의해 구리층을 연마시키고, 이로 인하여 구리층의 표면이 웨이퍼 전면에 걸쳐 평탄화를 이루고, 이후 층간 절연막의 표면이 노출될 때까지 화학적 기계적 연마 공정을 실시하여 다마신 패턴 내에 구리 배선을 형성한다. 본 발명은 전기 도금법으로 도금된 구리층의 불균일한 표면을 도금 용액에서 식각하여 평탄화시키면서 두께를 얇게하므로, 이후에 실시되는 화학적 기계적 연마 공정에서 디싱 현상이나 침식 현상을 방지할 수 있어, 화학적 기계적 연마 공정의 공정 여유도 증가 및 공정 특성을 개선시킬 수 있다.

**【대표도】**

도 3

**【색인어】**

구리 배선, 구리 도금, 전기 연마, 화학적 기계적 연마)

**【명세서】****【발명의 명칭】**

반도체 소자의 구리 배선 형성 방법{Method of forming a copper wiring in a semiconductor device}

**【도면의 간단한 설명】**

도 1은 종래 제 1 실시예에 따라 전기 도금법을 적용하는 반도체 소자의 구리 배선 형성 방법을 설명하기 위한 소자의 단면도.

도 2는 종래 제 2 실시예에 따라 전기 도금법을 적용하는 반도체 소자의 구리 배선 형성 방법을 설명하기 위한 소자의 단면도.

도 3a 내지 3c는 본 발명의 실시예에 따라 전기 도금법을 적용하는 반도체 소자의 구리 배선 형성 방법을 설명하기 위한 소자의 단면도.

**<도면의 주요 부분에 대한 부호의 설명>**

10, 20, 30: 기판      11, 21, 31: 중간 절연막

12, 22, 32: 다마신 패턴      13, 23, 33: 구리 배리어 메탈층

14, 24, 34: 구리 시드층      15, 25, 35: 구리층

350: 구리 배선

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<9> 본 발명은 반도체 소자의 구리 배선 형성 방법에 관한 것으로, 특히 화학적 기계적 연마(CMP) 공정으로 구리층을 연마하여 다마신 패턴에 구리 배선을 형성할 때 구리 배선의 상부 표면에 발생되는 디싱(dishing) 현상이나 침식(erosion) 현상을 방지할 수 있는 반도체 소자의 구리 배선 형성 방법에 관한 것이다.

<10> 일반적으로, 반도체 산업이 초대규모 집적 회로(Ultra Large Scale Integration; ULSI)로 옮겨가면서 소자의 지오메트리(geometry)가 서브-하프-마이크로(sub-half-micron) 영역으로 계속 줄어드는 반면, 성능 향상 및 신뢰도 측면에서 회로 밀도(circuit density)는 증가하고 있다. 이러한 요구에 부응하여, 반도체 소자의 금속 배선을 형성함에 있어서 구리 박막은 알루미늄에 비해 녹는점이 높아 전기이동도(electro-migration; EM)에 대한 저항이 커서 반도체 소자의 신뢰성을 향상시킬 수 있고, 비저항이 낮아 신호전달 속도를 증가시킬 수 있어, 집적 회로(integration circuit)에 유용한 상호연결 재료(interconnection material)로 사용되고 있다.

<11> 현재, 사용이 가능한 구리 매립 방법으로는 물리기상증착(PVD)법/리플로우(reflow), 화학기상증착법(CVD), 전기 도금(Electroplating)법, 무전기 도금(Electroless-plating)법 등이 있으며, 이 중에서 선호되는 방법은 구리 매립 특성이 비교적 양호한 전기 도금법과 화학기상증착법이다.

<12> 금속 배선의 재료로 구리를 채용하면서, 반도체 소자의 구리 배선 형성 공정에 하부층과 전기적으로 연결하기 위한 비아 콘택홀 및 금속 배선이 위치되는 트렌치를 동시에 형성시키는 다마신 기법이 널리 적용되고 있으며, 다마신 패턴이 형성될 충간 절연막으로 유전율이 낮은 저유전 절연물질이 적용되고 있다.

<13> 비아 콘택홀 및 트렌치로 이루어진 다마신 패턴에 구리 배선을 형성하기 위해서는 상기한 여러 방법으로 다마신 패턴에 구리를 매립시킨 후에 매립된 구리층을 화학적 기계적 연마(CMP) 공정으로 연마하여 이웃하는 구리 배선과 격리(isolation)시킨다.

<14> 도 1은 종래 제 1 실시예에 따라 전기 도금법을 적용하는 반도체 소자의 구리 배선 형성 방법을 설명하기 위한 소자의 단면도이다.

<15> 기판(10) 상에 충간 절연막(11)을 형성하고, 다마신 기법으로 충간 절연막(11)에 밀도가 다른 다수의 다마신 패턴(12)을 형성한다.

<16> 다수의 다마신 패턴(12)을 포함한 충간 절연막(11)의 표면을 따라 구리 배리어 메탈층(13) 및 구리 시드층(14)을 순차적으로 형성한다. 구리 배리어 메탈층(13)은 ionized PVD TiN, CVD TiN, MOCVD TiN, ionized PVD Ta, ionized PVD TaN, CVD Ta, CVD TaN, CVD WN 중 어느 하나로 형성한다. 구리 시드층(14)은 여러 가지 방법으로 형성할 수 있으나, ionized PVD 방법을 주로 적용하여 형성한다.

<17> 엑셀러레이터(accelerator) 및 써프레서(suppressor)라는 2가지 유기물 첨가제가 첨가된 구리 도금 용액이 채워진 전기 도금(electroplating) 장치에 구리 시드층(14)이

형성된 웨이퍼를 장입하고, 웨이퍼에 음(-) 전원을 인가한 상태에서 다마신 패턴(12)이 충분히 채워질 때까지 구리를 도금하여 구리층(15)을 형성한다.

<18> 이후, 화학적 기계적 연마 공정으로 충간 절연막(11)의 상단 표면이 노출되는 시점까지 구리층(15), 구리 시드층(14) 및 구리 배리어 메탈층(13)을 순차적으로 연마하여 다수의 다마신 패턴(12) 내에 구리 배선을 형성한다.

<19> 상기한 종래 제 1 실시예는 다마신 패턴(12)을 양호하게 채우기 위하여, 엑셀러레이터(accelerator) 및 썬프레서(suppressor)라는 2가지 유기물 첨가제를 구리 도금 용액에 첨가하는데, 전기 도금 공정이 진행되는 동안에 이들 첨가제의 상호 작용으로 발생하는 현상으로, 도 1에 도시된 바와 같이, 다마신 패턴(12)이 조밀하게 형성된 부분에서 범핑(bumping) 현상이 일어나 다른 부분 보다 구리층(15)의 두께가 필요 이상으로 두꺼워지게 된다. 이러한 상태에서 화학적 기계적 연마 공정을 진행하게 되면, 구리 배선의 상부 표면에 디싱(dishing) 현상이나 침식(erosion) 현상이 발생되는 문제가 있다.

<20> 도 2는 종래 제 2 실시예에 따라 전기 도금법을 적용하는 반도체 소자의 구리 배선 형성 방법을 설명하기 위한 소자의 단면도이다. 제 2 실시예는 상기한 제 1 실시예에서 발생되는 문제점을 해결하기 위한 방안을 제시하고 있다.

<21> 제 2 실시예에 따른 구리 배선 형성 방법은 상기한 제 1 실시예에 따른 구리 배선 형성 방법과 대부분 동일하기 때문에 상세한 설명은 하지 않고, 제 1 실시예와 다른 공정만을 설명하기로 한다. 도 2에서, 지시부호 20은 기판이고, 지시부호 21은 충간 절연

막이고, 지시부호 22는 다마신 패턴이고, 지시부호 23은 구리 배리어 메탈층이고, 지시부호 24는 구리 시드층이고, 지시부호 25는 구리층이다.

<22>       제 2 실시예에서는 제 1 실시예와 달리, 엑셀러레이터(accelerator) 및 써프레서(suppressor)라는 2가지 유기물 첨가제가 첨가된 구리 도금 용액에 레벨러(leveler)라는 제 3의 첨가제를 더 첨가하여 구리 전기 도금 공정을 진행한다. 레벨러라는 제 3의 첨가제를 첨가함에 의해, 도 2에 도시된 바와 같이, 다마신 패턴(22)이 조밀하게 형성된 부분에 발생되는 범핑(bumping) 현상이 제 1 실시예보다 덜 일어난다.

<23>       이와 같이, 제 2 실시예에 의한 방법이 제 1 실시예에 의한 방법보다 범핑 현상이 덜 일어나지만, 다마신 패턴(22)이 조밀하게 형성되지 않은 부분보다 필요 이상으로 두껍게 형성되어 후속 화학적 기계적 연마 공정에 부담을 주게되고, 더욱이 유기물 첨가제의 추가 사용으로 첨가제의 량이 많아져 구리 배선 내에 유기 불순물이 혼입될 문제가 증가하여 전기적 특성 등의 물리적 특성이 저하되는 문제가 있다.

#### 【발명이 이루고자 하는 기술적 과제】

<24>       따라서, 본 발명은 화학적 기계적 연마(CMP) 공정으로 구리층을 연마하여 다마신 패턴에 구리 배선을 형성할 때, 구리 배선의 상부 표면에 발생되는 디싱(dishing) 현상이나 침식(erosion) 현상을 방지하여 구리 배선의 전기적 특성을 향상시키고, 소자의 신뢰성을 향상시킬 수 있는 반도체 소자의 구리 배선 형성 방법을 제공함에 그 목적이 있다.

<25> 이러한 목적을 달성하기 위한 본 발명의 실시예에 따른 반도체 소자의 구리 배선 형성 방법은 충간 절연막에 다마신 패턴이 형성된 기판이 제공되는 단계; 상기 다마신 패턴을 포함한 상기 충간 절연막의 표면을 따라 구리 배리어 메탈층 및 구리 시드층을 순차적으로 형성하는 단계; 상기 구리 시드층이 형성된 상기 다마신 패턴이 충분히 채워 지도록, 구리 전기 도금 공정에 의해 구리층을 형성하는 단계; 구리 전기 연마 공정으로 구리층을 일정 두께 연마하고, 이로 인하여 표면이 평탄하면서 두께가 얇은 구리층을 형성하는 단계; 및 상기 연마된 구리층, 상기 구리 시드층 및 상기 구리 배리어 메탈층을 상기 충간 절연막의 상단 표면이 노출될 때까지 화학적 기계적 연마 공정으로 연마하여 상기 다마신 패턴 내에 구리 배선을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 한다.

<26> 또한, 본 발명의 다른 실시예에 따른 반도체 소자의 구리 배선 형성 방법은 충간 절연막에 다마신 패턴이 형성된 기판이 제공되는 단계; 상기 다마신 패턴을 포함한 상기 충간 절연막의 표면을 따라 구리 배리어 메탈층 및 구리 시드층을 순차적으로 형성하는 단계; 상기 구리 시드층이 형성된 상기 다마신 패턴이 충분히 채워지도록, 구리 전기 도금 공정에 의해 구리층을 형성하는 단계; 구리 전기 연마 공정으로 상기 구리 배리어 메탈층이 노출될 때까지 상기 구리층 및 구리 시드층을 연마하고, 이로 인하여 상기 다마신 패턴 내에 구리 배선이 형성되는 단계; 및 상기 구리 배리어 메탈층을 상기 충간 절연막의 상단 표면이 노출될 때까지 화학적 기계적 연마 공정으로 연마하는 단계를 포함하여 이루어지는 것을 특징으로 한다.

### 【발명의 구성 및 작용】

<27> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세하게 설명한다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이라 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예는 본 발명의 개시가 완전하도록 하며, 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다.

<28> 도 3a 내지 3c는 본 발명의 실시예에 따라 전기 도금법을 적용하는 반도체 소자의 구리 배선 형성 방법을 설명하기 위한 소자의 단면도이다.

<29> 도 3a를 참조하면, 기판(30) 상에 충간 절연막(11)을 형성하고, 다마신 기법으로 충간 절연막(31)에 밀도가 다른 다수의 다마신 패턴(32)을 형성한다. 다수의 다마신 패턴(32)을 포함한 충간 절연막(31)의 표면을 따라 구리 배리어 메탈층(33) 및 구리 시드층(34)을 순차적으로 형성한다. 구리 시드층(34)이 형성된 다수의 다마신 패턴(32)이 충분히 채워지도록, 구리 전기 도금법에 의해 구리층(35)을 형성한다.

<30> 상기에서, 구리 배리어 메탈층(33)은 ionized PVD TiN, CVD TiN, MOCVD TiN, ionized PVD Ta, ionized PVD TaN, CVD Ta, CVD TaN, CVD WN 중 어느 하나로 형성한다. 구리 시드층(34)은 여러 가지 방법으로 형성할 수 있으나, ionized PVD 방법을 주로 적용하여 형성한다. 구리층(35)은 엑셀러레이터(accelerator) 및 썬프레서(suppressor)라는 2가지 유기물 첨가제가 첨가된 구리 도금 용액이 채워진 전기 도금(electroplating) 장치에 구리 시드층(34)이 형성된 웨이퍼를 장입하고, 웨이퍼에 전류가 1 내지 5A인 음

(-) 전원을 인가한 상태에서 다마신 패턴(32)이 충분히 채워질 때까지 5000 내지 15000 Å의 타겟(target)으로 구리를 도금하여 형성한다. 한편, 엑셀러레이터(accelerator), 썬프레서(suppressor) 및 레벨러(leveler)라는 3가지 유기물 첨가제가 첨가된 구리 도금 용액이 채워진 전기 도금(electroplating) 장치에 구리 시드층(34)이 형성된 웨이퍼를 장입하고, 웨이퍼에 전류가 1 내지 5A인 음(-) 전원을 인가한 상태에서 다마신 패턴(32)이 충분히 채워질 때까지 5000 내지 15000 Å의 타겟으로 구리를 도금하여 구리층(35)을 형성할 수도 있다.

<31>      도 3b를 참조하면, 구리 전기 도금 공정에 의해 구리층(35)이 충분한 두께로 형성되고, 웨이퍼가 전기 도금 장치의 도금 용액에 그대로 담궈져있는 상태에서, 웨이퍼에 가하는 전원을 음(-) 전원에서 양(+) 전원으로 변경시켜 전기 연마(electropolishing)에 의해 구리층(35)이 연마되도록 하고, 이로 인하여 구리층의 표면이 웨이퍼 전면에 걸쳐 평탄화되고, 두께가 얇아진 구리층(35)이 형성된다.

<32>      상기에서, 전기 연마 공정은 웨이퍼에 전류가 1 내지 30A인 양(+) 전원을 인가한 상태에서 도금 두께와 동일하거나 유사한 5000 내지 15000 Å의 타겟(target)으로 연마하는데, 양(+) 전원의 인가에 의한 전기 연마는 웨이퍼의 표면 형상 즉, 구리층(35)의 표면 형상에 따라 돌출 부위에는 포텐셜(potential)이 집중되므로 돌출 부위의 전기 연마 속도가 편평한 부위보다 빠르게 되어 웨이퍼 전면에 걸쳐 구리층(35)이 평탄하게 된다.

<33>      도 3c를 참조하면, 화학적 기계적 연마 공정으로 충간 절연막(31)의 상단 표면이 노출되는 시점까지 평탄하고 얇은 구리층(35), 구리 시드층(34) 및 구리 배리어 메탈층(33)을 순차적으로 연마하여 다수의 다마신 패턴(32) 내에 구리 배선을 형성한다.

<34> 한편, 도 3b에서 설명한 바와 달리 전기 연마 공정은 구리층(35)의 표면이 평탄화 될 때까지 실시한 이후에도 계속 전기 연마를 실시하여 구리 배리어 메탈층(33)이 노출 되도록 하고, 이로 인하여 다수의 다마신 패턴(32) 내에 구리 배선(350) 형성된다. 이러한 전기 연마 공정은 양(+) 전원이 구리층(35)과 구리 배리어 메탈층(33)에 인가되도록 한 상태에서 구리층(35)이 모두 연마되고 나면 구리 배리어 메탈층(33)에만 양(+) 전원이 인가되게 되는데, 구리 배리어 메탈층(33)으로 사용되는 물질의 전기 저항이 구리에 비하여 상당히 크다는 전기적 특성을 이용하여 셀프-스톱핑(self-stopping) 현상이 일어나도록 하므로 전기 연마 공정은 자동적으로 중단된다. 이러한 상태에서 도 3b에서 설명한 바와 달리 화학적 기계적 연마 공정은 구리 연마 없이 구리 배리어 메탈층(33) 만을 연마하여 구리 배선을 완성시킬 수 있다.

### 【발명의 효과】

<35> 상술한 바와 같이, 본 발명은 구리 전기 도금법으로 구리층을 형성한 후, 전기 연마 공정으로 구리층의 표면을 평탄화시키면서 두께를 얇게하므로, 기존의 구리층에 발생되는 범핑 현상으로 인한 구리 배선의 디싱 현상이나 침식 현상을 방지할 수 있고, 화학적 기계적 연마 공정의 공정 여유도를 증가시킬 수 있다. 또한, 전기 연마 공정을 구리층이 다마신 패턴 내에 남도록 실시하므로, 후속 화학적 기계적 연마 공정시 구리층의 연마 없이 구리 배리어 메탈층만을 연마하면 되므로, 화학적 기계적 연마 공정의 공정 여유도를 한층 더 증가시킬 수 있다.

**【특허청구범위】****【청구항 1】**

충간 절연막에 다마신 패턴이 형성된 기판이 제공되는 단계;

상기 다마신 패턴을 포함한 상기 충간 절연막의 표면을 따라 구리 배리어 메탈층 및 구리 시드층을 순차적으로 형성하는 단계;

상기 구리 시드층이 형성된 상기 다마신 패턴이 충분히 채워지도록, 구리 전기 도금 공정에 의해 구리층을 형성하는 단계;

구리 전기 연마 공정으로 구리층을 일정 두께 연마하고, 이로 인하여 표면이 평坦하면서 두께가 얇은 구리층을 형성하는 단계; 및

상기 연마된 구리층, 상기 구리 시드층 및 상기 구리 배리어 메탈층을 상기 충간 절연막의 상단 표면이 노출될 때까지 화학적 기계적 연마 공정으로 연마하여 상기 다마신 패턴 내에 구리 배선을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반도체 소자의 구리 배선 형성 방법.

**【청구항 2】**

제 1 항에 있어서,

상기 구리 배리어 메탈층은 ionized PVD TiN, CVD TiN, MOCVD TiN, ionized PVD Ta, ionized PVD TaN, CVD Ta, CVD TaN, CVD WN 중 어느 하나로 형성하는 것을 특징으로 하는 반도체 소자의 구리 배선 형성 방법.

**【청구항 3】**

제 1 항에 있어서,

상기 구리 시드층은 ionized PVD 방법으로 형성하는 것을 특징으로 하는 반도체 소자의 구리 배선 형성 방법.

**【청구항 4】**

제 1 항에 있어서,

상기 구리 전기 도금 공정은 엑셀러레이터 및 써프레서라는 2가지 유기를 첨가제가 첨가된 구리 도금 용액이 채워진 전기 도금 장치에 상기 구리 시드층이 형성된 웨이퍼를 장입하고, 웨이퍼에 전류가 1 내지 5A인 음(-) 전원을 인가하고, 상기 다마신 패턴이 충분히 채워질 수 있는 도금 타겟 범위를 설정하여 실시하는 것을 특징으로 하는 반도체 소자의 구리 배선 형성 방법.

**【청구항 5】**

제 1 항에 있어서,

상기 구리 전기 도금 공정은 엑셀러레이터, 써프레서 및 레벨러라는 3가지 유기를 첨가제가 첨가된 구리 도금 용액이 채워진 전기 도금 장치에 상기 구리 시드층이 형성된 웨이퍼를 장입하고, 웨이퍼에 전류가 1 내지 5A인 음(-) 전원을 인가하고, 상기 다마신

패턴이 충분히 채워질 수 있는 도금 타겟 범위를 설정하여 실시하는 것을 특징으로 하는 반도체 소자의 구리 배선 형성 방법.

### 【청구항 6】

제 1 항에 있어서,  
상기 구리 전기 연마 공정은 엑셀러레이터 및 써프레서라는 2가지 유기물 첨가제가 첨가된 구리 도금 용액에 구리층이 형성된 웨이퍼가 담궈진 상태에서, 웨이퍼에 전류가 1 내지 30A인 양(+) 전원을 인가하고, 상기 구리층 형성을 위한 도금 타겟 범위와 유사한 타겟 범위를 설정하여 실시하는 것을 특징으로 하는 반도체 소자의 구리 배선 형성 방법.

### 【청구항 7】

제 1 항에 있어서,  
상기 구리 전기 연마 공정은 엑셀러레이터, 써프레서 및 레벨러라는 3가지 유기물 첨가제가 첨가된 구리 도금 용액에 구리층이 형성된 웨이퍼가 담궈진 상태에서, 웨이퍼에 전류가 1 내지 30A인 양(+) 전원을 인가하고, 상기 구리층 형성을 위한 도금 타겟 범위와 유사한 타겟 범위를 설정하여 실시하는 것을 특징으로 하는 반도체 소자의 구리 배선 형성 방법.

**【청구항 8】**

충간 절연막에 다마신 패턴이 형성된 기판이 제공되는 단계;

상기 다마신 패턴을 포함한 상기 충간 절연막의 표면을 따라 구리 배리어 메탈층 및 구리 시드층을 순차적으로 형성하는 단계;

상기 구리 시드층이 형성된 상기 다마신 패턴이 충분히 채워지도록, 구리 전기 도금 공정에 의해 구리층을 형성하는 단계;

구리 전기 연마 공정으로 상기 구리 배리어 메탈층이 노출될 때까지 상기 구리층 및 구리 시드층을 연마하고, 이로 인하여 상기 다마신 패턴 내에 구리 배선이 형성되는 단계; 및

상기 구리 배리어 메탈층을 상기 충간 절연막의 상단 표면이 노출될 때까지 화학적 기계적 연마 공정으로 연마하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반도체 소자의 구리 배선 형성 방법.

**【청구항 9】**

제 8 항에 있어서,

상기 구리 배리어 메탈층은 ionized PVD TiN, CVD TiN, MOCVD TiN, ionized PVD Ta, ionized PVD TaN, CVD Ta, CVD TaN, CVD WN 중 어느 하나로 형성하는 것을 특징으로 하는 반도체 소자의 구리 배선 형성 방법.

**【청구항 10】**

제 8 항에 있어서,

상기 구리 시드층은 ionized PVD 방법으로 형성하는 것을 특징으로 하는 반도체 소자의 구리 배선 형성 방법.

**【청구항 11】**

제 8 항에 있어서,

상기 구리 전기 도금 공정은 액셀러레이터 및 써프레서라는 2가지 유기물 첨가제가 첨가된 구리 도금 용액이 채워진 전기 도금 장치에 상기 구리 시드층이 형성된 웨이퍼를 장입하고, 웨이퍼에 전류가 1 내지 5A인 음(-) 전원을 인가하고, 상기 다마신 패턴이 충분히 채워질 수 있는 도금 타겟 범위를 설정하여 실시하는 것을 특징으로 하는 반도체 소자의 구리 배선 형성 방법.

**【청구항 12】**

제 8 항에 있어서,

상기 구리 전기 도금 공정은 액셀러레이터, 써프레서 및 레벨러라는 3가지 유기물 첨가제가 첨가된 구리 도금 용액이 채워진 전기 도금 장치에 상기 구리 시드층이 형성된 웨이퍼를 장입하고, 웨이퍼에 전류가 1 내지 5A인 음(-) 전원을 인가하고, 상기 다마신

패턴이 충분히 채워질 수 있는 도금 타겟 범위를 설정하여 실시하는 것을 특징으로 하는 반도체 소자의 구리 배선 형성 방법.

#### 【청구항 13】

제 8 항에 있어서,

상기 구리 전기 연마 공정은 엑셀러레이터 및 써프레서라는 2가지 유기를 첨가제가 첨가된 구리 도금 용액에 구리층이 형성된 웨이퍼가 담궈진 상태에서, 상기 구리층 및 상기 구리 배리어 메탈층에 전류가 1 내지 30A인 양(+) 전원을 인가하고, 구리 전기 연마가 진행되어 상기 구리 배리어 메탈층에만 양(+) 전원이 인가되면 상기 구리층과 상기 구리 배리어 메탈층의 전기 저항 특성에 의해 상기 구리 전기 연마 공정이 셀프-스톱핑 될 때까지 실시하는 것을 특징으로 하는 반도체 소자의 구리 배선 형성 방법.

#### 【청구항 14】

제 8 항에 있어서,

상기 구리 전기 연마 공정은 엑셀러레이터, 써프레서 및 레벨러라는 3가지 유기를 첨가제가 첨가된 구리 도금 용액에 구리층이 형성된 웨이퍼가 담궈진 상태에서, 상기 구리층 및 상기 구리 배리어 메탈층에 전류가 1 내지 30A인 양(+) 전원을 인가하고, 구리 전기 연마가 진행되어 상기 구리 배리어 메탈층에만 양(+) 전원이 인가되면 상기 구리층과 상기 구리 배리어 메탈층의 전기 저항 특성에 의해 상기 구리 전기 연마 공정이

1020020040462

출력 일자: 2003/4/17

셀프-스톱핑 될 때까지 실시하는 것을 특징으로 하는 반도체 소자의 구리 배선 형성 방법.

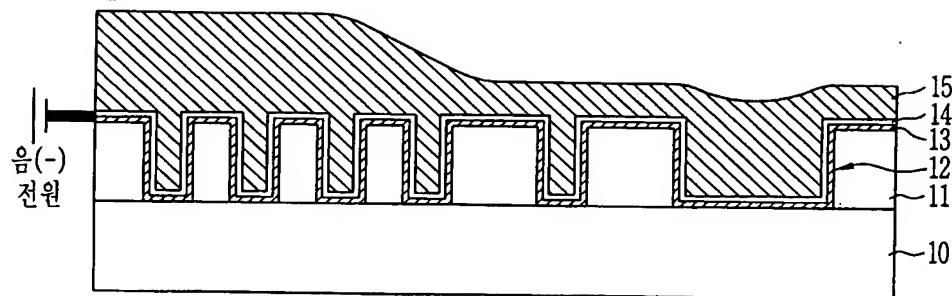


1020020040462

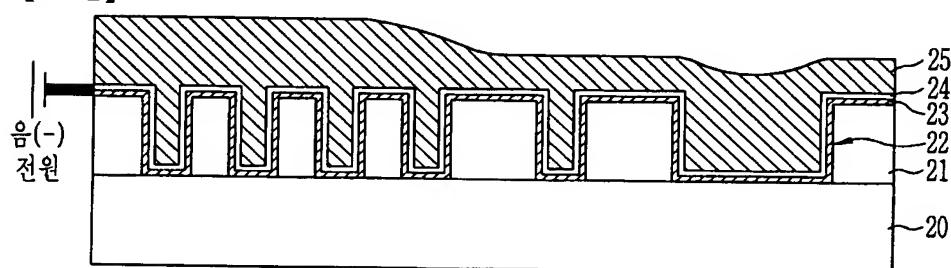
출력 일자: 2003/4/17

【도면】

【도 1】



【도 2】



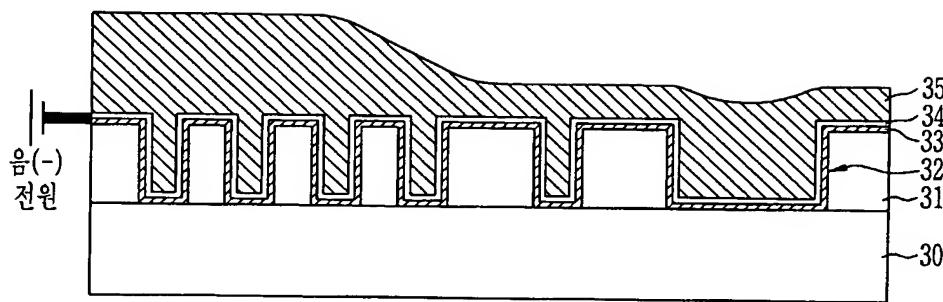


1020020040462

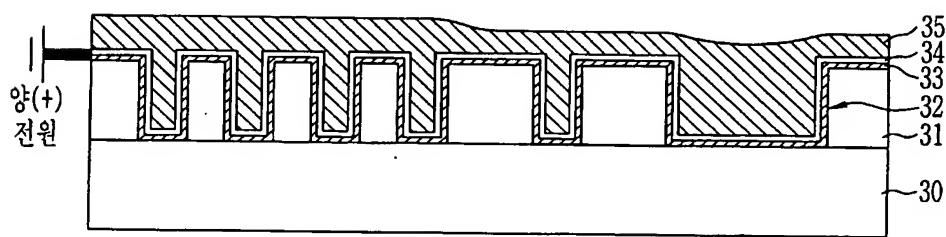
출력 일자: 2003/4/17

【도 3】

(a)



(b)



(c)

